

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年1月19日 (19.01.2006)

PCT

(10) 国際公開番号
WO 2006/006289 A1

(51) 国際特許分類⁷:

H02M 3/28

(21) 国際出願番号:

PCT/JP2005/007496

(22) 国際出願日: 2005年4月20日 (20.04.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-201066 2004年7月7日 (07.07.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 西田映雄 (NISHIDA, Akio) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 北尾文美 (KITAO, Fumi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 竹村博 (TAKEMURA, Hiroshi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

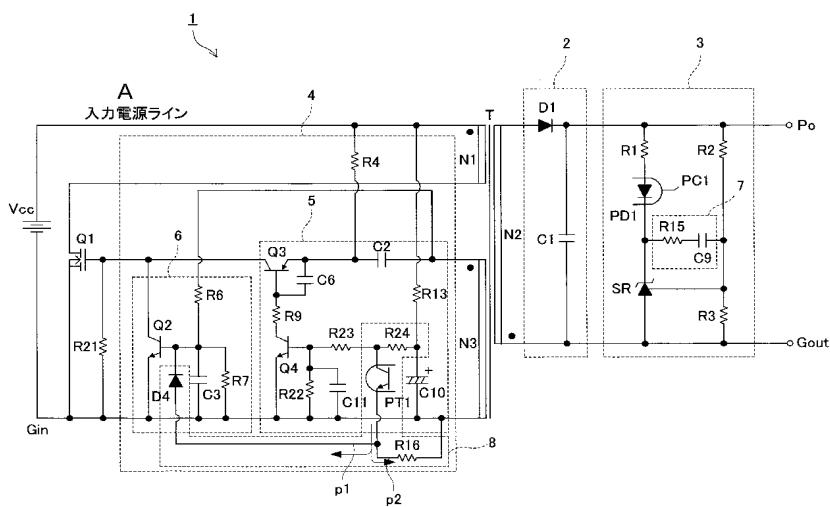
(74) 代理人: 小森久夫, 外 (KOMORI, Hisao et al.); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

/ 続葉有 /

(54) Title: SWITCHING POWER SUPPLY DEVICE AND ELECTRON DEVICE

(54) 発明の名称: スイッチング電源装置および電子装置



A... INPUT POWER SUPPLY LINE

(57) Abstract: A transformer (T) includes a primary winding (N1) connected in series to a first switching element (Q1) and a secondary winding (N2) having a rectification circuit (2) and an output voltage control circuit (3) for detecting an output voltage and feeding it back to a control circuit (4). The control circuit (4) includes an ON-period control circuit (6) for turning off the first switching element (Q1) in the ON-state according to the feedback signal from the output voltage control circuit (3) and an OFF-period control circuit (5) for delaying the turn ON of the first switching element (Q1) according to the same feedback signal and controlling the OFF-period.

(57) 要約: トランス (T) の1次巻線 (N1) に直列に第1のスイッチ素子 (Q1) を接続し、2次巻線 (N2) に整流回路 (2) と、出力電圧を検出して制御回路 (4) ヘフィードバックする出力電圧制御回路 (3) とを設ける。制御回路 (4) には、出力電圧制御回路 (

/ 続葉有 /

WO 2006/006289 A1



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

3) からのフィードバック信号に基づいてオン状態の (Q 1) をターンオフさせるオン期間制御回路 (6) と、同じフィードバック信号に基づいて (Q 1) のターンオンを遅延させてそのオフ期間を制御するオフ期間制御回路 (5) とを設ける。

明 細 書

スイッチング電源装置および電子装置
技術分野

[0001] この発明はスイッチング電源装置およびそれを備えた電子装置に関するものである。

背景技術

[0002] 近年、例えばプリンタやファクシミリ等において、印刷動作を行っていない待機時に消費電力をなるべく削減することへの要求が高まっている。そのため、プリンタやファクシミリの電源回路部に用いられるスイッチング電源装置自体の待機時の消費電力の低減化が求められている。

[0003] このような電子装置の電源回路部には、一般にRCC方式のスイッチング電源装置が用いられているが、このようなRCC方式のスイッチング電源装置においては、負荷が軽くなるほどスイッチング周波数が高くなり、それにともなってスイッチング損失が増加するという特性をもつていて、そのままでは待機時のような軽負荷時の消費電力の低減が望めなかった。

[0004] そこで、RCC方式のスイッチング電源装置における軽負荷時の電力消費を低減するようにしたスイッチング電源装置として、例えば特許文献1が開示されている。このスイッチング電源装置は軽負荷時に第1のスイッチ素子の制御端子を一定時間強制的に接地させる回路を備えることによって、第1のスイッチ素子のターンオンを遅らせてスイッチング周波数が一定以上にならないようにしたものである。

[0005] ところが、このような回路によってスイッチング周波数の上限を定めるようにしたスイッチング電源装置においては、軽負荷時にスイッチング周波数を低下させて電力消費を大幅に削減する効果が小さいという問題があった。

[0006] そこでこの問題を解消したスイッチング電源装置が特許文献2に開示されている。この特許文献2のスイッチング電源装置は、第1のスイッチ素子のオン期間に最小オン期間を設定し、それ以上オン期間が短縮できないようにする回路を設けている。この場合、待機時にはオン期間が短縮できないため負荷への電力供給が過剰となって、

出力電圧が上昇しあはじめる。そこで、この出力電圧が若干上昇したことを検出してオフ期間を制御(延長)する回路を構成することによって、出力電圧の上昇を防止するとともにスイッチング周波数上昇の抑制を図っている。

特許文献1:特開平7-67335号公報

特許文献2:特開2004-80941公報

発明の開示

発明が解決しようとする課題

[0007] ところが、特許文献2のスイッチング電源装置においては、出力電圧が上昇したことを検出して待機時を検知するものであるため、待機時の出力電圧と定格時の出力電圧の間に差が生じる。すなわち出力電圧の変動幅が大きくなるという問題があった。また、非軽負荷時におけるオン期間制御のためのフィードバック回路と軽負荷時におけるオフ期間制御のためのフィードバック回路の2系統が必要であったため、その系統の切替時にゲインが変化して負荷変動時の制御系統切替時に出力電圧が変動するという問題があった。

[0008] そこで、この発明の目的は、出力電圧の上昇を検出する方式を採用せず、またフィードバック回路を1系統とすることによって上述の2つの問題点を解消し、出力電圧の変動を抑えたスイッチング電源装置およびそれを備えた電子装置を提供することにある。

課題を解決するための手段

[0009] 上記目的を達成するために、この発明のスイッチング電源装置は、

(1) 1次巻線N1、2次巻線N2および帰還巻線N3を備えたトランストと、1次巻線N1に直列に接続された第1のスイッチ素子Q1と、該第1のスイッチ素子Q1の制御端子と前記帰還巻線N3との間に設けられた制御回路4と、前記2次巻線N2に接続された整流回路2と、該整流回路2から出力される出力電圧を検出して前記制御回路4へ1系統でフィードバックする出力電圧制御回路3とを備えたスイッチング電源装置において、

前記制御回路4は、非軽負荷時に前記出力電圧制御回路3からの1系統のフィードバック信号に基づいてオン状態の前記第1のスイッチ素子Q1をターンオフさせるオ

ン期間制御回路6と、軽負荷時に前記フィードバック信号に基づいて前記第1のスイッチ素子Q1のターンオンを遅延させて前記第1のスイッチ素子Q1のオフ期間を制御するオフ期間制御回路5とを備えたことを特徴としている。

[0010] (2) また、(1)において前記オフ期間制御回路5と前記オン期間制御回路6とを接続するように設けられ、前記フィードバック信号に基づいてインピーダンスが変化するインピーダンス回路8を備え、該インピーダンス回路のインピーダンス変化によって軽負荷時の前記オフ期間制御回路5の制御と、非軽負荷時の前記オン期間制御回路6の制御を連続的に行うようにしたことを特徴としている。

[0011] (3) また、(1)または(2)において、オフ期間制御回路5は、前記第1のスイッチ素子Q1の制御端子と前記帰還巻線N3との間に挿入された第3のスイッチ素子Q3と、該第3のスイッチ素子Q3の制御端子と接地との間に挿入された第4のスイッチ素子Q4とを備え、前記オン期間制御回路6は、第1のスイッチ素子Q1の制御端子と接地との間に挿入された第2のスイッチ素子Q2と、該第2のスイッチ素子Q2へ制御電圧を与えるコンデンサC3を含む時定数回路とを備え、
前記インピーダンス回路8は、前記フィードバック信号による電流を前記コンデンサC3へ供給する第1の経路p1と、接地へバイパスする第2の経路p2とを備えたことを特徴としている。

[0012] (4) また、(1)～(3)の何れかの構成において、オン期間制御回路6の制御によるオン期間に最小オン期間を設定して、すべての入出力条件においてオン期間を最小オン期間以上に保って間欠発振を防止したことを特徴としている。

[0013] (5) また、(4)において、第1のスイッチ素子Q1がオフである時に、第2のスイッチ素子Q2の制御電圧を定めるオン期間制御回路6内のコンデンサC3の電圧を一定値に制限するクランプ回路を前記インピーダンス回路8に設けたことを特徴としている。

[0014] (6) また、(3)において、第2の経路を、第1のスイッチ素子Q1がオフ状態である場合にのみ前記フィードバック信号による電流をバイパスする回路としたことを特徴としている。

[0015] (7) また、(1)～(6)において、オフ期間制御回路5が、第1のスイッチ素子Q1の制御端子に印加される電圧の上限を制限するリミット回路9を備えたことを特徴としている。

る。

[0016] (8)この発明の電子装置は、上記何れかの構成のスイッチング電源装置を電源回路部に設けたことを特徴としている。

発明の効果

[0017] (1)軽負荷時に出力電圧制御回路3からのフィードバック信号に基づいてオン期間制御回路6が第1のスイッチ素子Q1をターンオフさせ、非軽負荷時に同じく出力電圧制御回路3からのフィードバック信号に基づいてオフ期間制御回路5が第1のスイッチ素子Q1のターンオンを遅延させてQ1のオフ期間を制御するので、1系統のフィードバック回路によって第1のスイッチ素子Q1のオン期間とオフ期間を制御することができる。そのため、負荷変動時の制御系統切替時に出力電圧が変動することがない。また、待機時の出力電圧上昇を検出する必要がないため、待機時の出力電圧と定格時の出力電圧との間に差が生じることがなく、出力電圧の変動幅が大きくなることもない。

[0018] (2)出力電圧制御回路3からのフィードバック信号に基づいて、オフ期間制御回路5と前記オン期間制御回路6との間を接続するインピーダンス回路のインピーダンスが変化するによって、軽負荷時のオフ期間制御回路5の制御と、非軽負荷時のオン期間制御回路6の制御とが連続的に行われ、オン期間制御とオフ期間制御の切替時のリップルの増大や出力電圧の変動が生じることがない。

[0019] (3)前記インピーダンス回路がフィードバック信号による電流をオン期間制御回路6のコンデンサC3へ流す第1の経路p1と、オン期間制御回路6を通らずに接地へバイパスする第2の経路p2を備えたことにより、接地へバイパスする電流の割合を変えることによって、軽負荷時のオン期間の設定が可能となり、このことによって負荷供給電力とスイッチング周波数との関係(周波数特性)の設定が可能となる。

[0020] (4)前記オン期間制御回路6の制御によるオン期間に最小オン期間を設定したことにより、すべての入出力条件においてオン期間を最小オン期間以上に保つことができ、無負荷時においても間欠発振を防止できる。

[0021] (5)第1のスイッチ素子Q1がオフ状態であるとき、クランプ回路が第2のスイッチ素子Q2の制御電圧を定めるコンデンサ電圧を一定に制限してオフ期間を制限無しに

延長するので、無負荷時において出力電圧の上昇が防止できる。

[0022] (6) 第1のスイッチ素子Q1がオフ状態のとき、前記バイパス回路が前記フィードバックによる電流をバイパスするようにして、コンデンサC3のオン期間における充電量とオフ期間における充電量をそれぞれ独立に変更できるようにしたので、負荷供給電力とスイッチング周波数との関係(周波数特性)の設定の自由度をさらに高めることができる。 (7) 前記リミット回路が第1のスイッチ素子Q1の制御端子に印加される電圧の上限を制限するので、広い入力電圧範囲にわたって使用可能となる。

[0023] (8) この発明の電子装置によれば、負荷の状態に関わらず負荷への電源電圧変動が少ないので常に安定な動作が可能となる。

図面の簡単な説明

[0024] [図1] 第1の実施形態に係るスイッチング電源装置の回路図である。

[図2] 同スイッチング電源装置の各部の電圧波形図である。

[図3] 第2の実施形態に係るスイッチング電源装置の回路図である。

[図4] 同スイッチング電源装置の各部の電圧波形図である。

[図5] 第3の実施形態に係るスイッチング電源装置の回路図である。

[図6] 第4の実施形態に係るスイッチング電源装置の回路図である。

[図7] 第5の実施形態に係るプリンタの構成を示すブロック図である。

符号の説明

[0025]

- 1—スイッチング電源装置
- 2—整流回路
- 3—出力電圧制御回路
- 4—制御回路
- 5—オフ期間制御回路
- 6—オン期間制御回路
- 7—負帰還回路
- 8—インピーダンス回路
- 9—リミット回路
- p1—第1の経路

p2—第2の経路

T—トランス

N1—1次巻線

N2—2次巻線

N3—帰還巻線

Vcc—直流電源

Q1—第1のスイッチ素子

Gin—入力電源側グランド

SR—シャントレギュレータ

発明を実施するための最良の形態

[0026] [第1の実施形態]

第1の実施形態に係るスイッチング電源装置について図1・図2を参照して説明する。

図1はスイッチング電源装置の回路図である。このスイッチング電源装置は、1次巻線N1、2次巻線N2および帰還巻線N3を備えたトランスTと、1次巻線N1に直列に接続した第1のスイッチ素子Q1と、Q1の制御端子と帰還巻線N3との間に設けた制御回路4と、2次巻線N2に接続した整流回路2と、整流回路2から出力される出力電圧を検出して制御回路4へフィードバックする出力電圧制御回路3とを備えている。

第1のスイッチ素子Q1はMOSFETからなり、この第1のスイッチ素子Q1と1次巻線N1との直列回路に入力電源である直流電源Vccを印加する。

[0027] 整流回路2は、2次巻線N2に直列接続したダイオードD1とこのダイオードD1のカソードとグランドとの間に接続した平滑用コンデンサC1とから構成している。この2次巻線N2、ダイオードD1、およびコンデンサC1からなる2次側の回路と、上記第1のスイッチ素子Q1が直列に挿入されている1次側の回路とによって主回路を構成している。

[0028] 出力電圧制御回路3は、出力端子PoとグランドGoutとの間に抵抗R2, R3からなる分圧回路を備え、また抵抗R1とフォトカプラPC1の発光ダイオードPD1とシャントレギュレータSRとの直列回路を備えている。さらに抵抗R2, R3の接続点とシャントレギ

ュレータSRのカソード端子との間に、抵抗R15とコンデンサC9の直列回路からなる負帰還回路7を備えている。また抵抗R2, R3の接続点をシャントレギュレータSRのリファレンス端子に接続している。

[0029] 制御回路4は、オフ期間制御回路5とオン期間制御回路6を備えている。帰還巻線N3の一端とQ1のゲートとの間には、オフ期間制御回路5の第3のスイッチ素子Q3とコンデンサC2を直列に挿入している。オフ期間制御回路5の抵抗R13とコンデンサC10による直列回路は時定数回路を構成している。第3のスイッチ素子Q3のベースと入力電源側グランドGinとの間には抵抗R9と第4のスイッチ素子Q4の直列回路を接続している。この第4のスイッチ素子Q4のベースとコンデンサC10との間に抵抗R23, R24を挿入している。またQ4のベースとGinとの間に抵抗R22とコンデンサC11を設けている。Q3のベースーエミッタ間にはノイズによる誤動作防止用のコンデンサC6を設けている。上記コンデンサC2の第1のスイッチ素子Q1側の端子と入力電源ラインとの間には起動用の抵抗R4を接続している。

[0030] また、抵抗R23, R24の接続点と入力電源側グランドGinとの間にフォトカプラPC1のフォトトランジスタPT1と抵抗R16の直列回路を設けている。

[0031] オン期間制御回路6のQ1のゲートー入力電源側グランドGinとの間には第2のスイッチ素子Q2を設けている。帰還巻線N3の両端間には抵抗R6, R7, コンデンサC3からなる時定数回路を設けている。またコンデンサC3の一方端とQ2のベースとを接続して、C3の電圧がQ2のベースーエミッタ間に印加されるように回路を構成している。

[0032] また、PT1とR16との接続点とQ2のベースとの間にダイオードD4を接続している。なお、Q1のゲートーソース(Gin)間にはゲート保護用の抵抗R21を接続している。

[0033] 上記フォトトランジスタPT1、抵抗R16, R24、およびダイオードD4によってインピーダンス回路8を構成していて、PD1を介するフィードバック信号によりPT1のインピーダンスが変化する。

図1に示したスイッチング電源装置の第1のポイントは、フォトトランジスタPT1の電流をダイオードD4を介してコンデンサC3へ流す(充電する)とともに、抵抗R16を介して入力電源側グランドGinへも流す(バイパスする)ように回路を構成したことである

。

[0034] 第2のポイントは、上記インピーダンス回路8と、抵抗R22, R23, コンデンサC11からなる時定数回路とによってQ4のオンタイミングを制御するように回路を構成した点である。

[0035] 図1に示したスイッチング電源装置の動作は次のとおりである。

[0036] [1.1]《軽負荷時》

軽負荷時は、以降に述べるようにQ1のオフ期間を制御して出力電圧を定電圧化する。

[0037] [1.1.1][Q1オフ期間]

〈主回路の動作〉

Q1のオフ期間では、まずトランジスタの励磁エネルギー(Q1のオン期間に蓄積されたエネルギー)が2次側に出力される。通常のRCCでは励磁電流(ここでは2次巻線N2を流れる電流)が0となると、帰還巻線N3に共振電圧が発生し、Q1はターンオンしてオン期間へ移行する。しかし、この図1に示す回路では、Q3がオンしない限りQ1はターンオンできない。従って軽負荷時にはQ3のターンオンがQ1のオフ期間の終了条件となり、Q3のターンオンにより、C2に蓄積されていた電荷によってQ1がターンオンしてQ1オン期間へ移行する。

[0038] 〈制御回路の動作〉

フォトトランジスタPT1のインピーダンスによってQ4がターンオンするまでの時間が決定される。すなわち、軽負荷時にはフォトカプラーPC1の発光ダイオードPD1の電流が大きくなるため、PT1のインピーダンスが低くなり、PT1のコレクタ端子電圧が低くなる。ここで、Q4のベース-エミッタ間電圧(コンデンサC11の電圧)は、R22, R23, C11からなる時定数回路によって決定されるため、PT1のコレクタ端子電圧によってQ4がターンオンするまでの時間が決定される。したがって軽負荷でPT1のコレクタ電圧が低いほどQ1のオフ期間は長くなる。これは電流不連続モードの動作である。

[0039] [1.1.2][Q1オン期間]

〈主回路の動作〉

Q1がターンオンすると、Vcc→トランジスタの1次巻線N1→Q1→Ginの経路で電流

が流れ、トランスTにエネルギーが蓄積される。Q2がターンオンすればQ1はターンオフしてQ1オフ期間へ移行する。

[0040] 〈制御回路の動作〉

Q1のオン期間中は帰還巻線N3に発生した電圧によりコンデンサC3が充電される。この時、帰還巻線N3の電圧により、R6, R7, C3からなる時定数回路に電流が流れ、C3の充電電圧が上昇する。また、コンデンサC10の電圧により、PT1とD4を介する第1の経路p1でC3, R7の並列回路に電流が流れ、C3の充電電圧が上昇する。

[0041] C3の電圧がQ2のオン電圧Vbe(on)に達すると、Q2はターンオンし、Q1のオフ期間へ移行する。

[0042] ところで、軽負荷時においては、Q1がターンオンした時点でのC3の電圧は比較的高い。これは、PT1のインピーダンスが低く、Q1のオフ期間中、C3への充電量が大きいためである。そのため、短いQ1のオン期間でC3の電圧はQ2のVbe(on)に達し、Q2のターンオンによりQ1はターンオフする。

[0043] [1.2]《重負荷時》

重負荷時すなわち非軽負荷時は、以降に述べるように通常のRCCと同様にQ1のオン期間を制御することによって出力電圧を定電圧化する。

[0044] [1.2.1][Q1オフ期間]

〈主回路の動作〉

Q1のオフ期間では、トランスTの励磁エネルギーが2次側に出力される。トランスTの励磁電流が0になると、帰還巻線N3に共振電圧が発生する。この時、Q3はオンしているため、共振電圧によりQ1はターンオンし、Q1オン期間へ移行する。

[0045] 〈制御回路の動作〉

重負荷時には、フォトカプラPC1のPD1の電流が小さくなるため、PT1のインピーダンスが高く、PT1のコレクタ電圧は高くなる。これによりコンデンサC11の充電時間が短くなり、Q4のターンオンタイミングが早まる。そこで、重負荷時にはトランスTの励磁電流が0となるタイミングではすでにQ4がオンするように時定数を設定している。そのためQ3はオンしていて、Q1は帰還巻線N3に共振電圧が発生することによって直

ちにターンオンする。これは、通常のRCCと同様の電流臨界モードの動作である。

[0046] また、PT1のインピーダンスが高いため、コンデンサC10からPT1→D4→(C3+R7)の経路で流れる電流は少なく、コンデンサC3への充電量は少ない。しかも帰還巻線N3の電圧によりC3は負方向に充電されるため、C3の電位が負電位となった状態でQ1オン期間へ移行する。

[0047] [1.2.2][Q1オン期間]

〈主回路の動作〉

Q1がターンオンすると、Vcc→N1→Q1→Ginの経路で電流が流れ、トランジスタTにエネルギーが蓄積される。Q2がターンオンすればQ1はターンオフする。すなわちQ1オフ期間へ移行する。

[0048] 〈制御回路の動作〉

Q1オン期間中は、帰還巻線N3に発生する電圧によって、R6を介してC3とR7の並列回路に電流が流れる。また、C10の電圧によりPT1→D4→(C3+R7)の経路で電流が流れ、C3が充電される。最初C3の電位は負電位であるが、充電によりQ2のオン電圧Vbe(on)に達すると、Q1はターンオフしてQ1オフ期間へ移行する。すなわちPT1のインピーダンスによってQ1のオン時間が変化し、定電圧制御が行われる。

[0049] さて、図2は軽負荷時と重負荷時について、図1各部の電圧波形を示している。ここで(A)は軽負荷時、(B)は重負荷時の場合である。また、図中のV(C11)はコンデンサC11の電圧、V(C3)はコンデンサC3の電圧であり、Q4Vbe(On)はスイッチ素子Q4がオンするに要するベース-エミッタ間のしきい値電圧、Q2Vbe(On)はスイッチ素子Q2がオンするに要するベース-エミッタ間のしきい値電圧である。

[0050] 軽負荷時には(A)に示すように、t₀のタイミングでV(C3)がQ2Vbe(On)に達するとQ2がオンし、それにともなってQ1がターンオフする。このQ1のオフにより帰還巻線N3に逆電圧(フライバック電圧)が発生し、Q2のコレクタ電位も負電位となる。そのためQ2のベース-コレクタ間が逆通電して、C3は急速に放電される。

[0051] その後、t₀～t₁の期間で、帰還巻線N3に発生する逆電圧によって、C3→R6→N3の経路でC3が逆充電される。また、C11はC11→Q4のベース・コレクタ間→R9→

C6→N3の経路で放電(逆充電)される。一方、C10→R24→R23→C11の経路でもC11は充電されているが、軽負荷時はPT1のインピーダンスが低いため、その影響は小さい。

[0052] t1のタイミングでN3の逆電圧がなくなり、トランジストの励磁電流が0になると、C11の充放電に関しては、「C10→R24→R23→C11の経路」でC11が充電されるのみとなる。このとき、R24→PT1→R16の経路でも電流が流れるため、C11の充電時定数はPT1のインピーダンスによって変化する。すなわち、負荷の大きさによって、t1～t2の図中Aで示すV(C11)の上昇傾きが変化する。

[0053] 例え、負荷が小さくなるほどPT1のインピーダンスが小さくなるので、コンデンサC11への充電時定数が大きくなつて、上記傾きAが小さくなる。逆に、負荷が大きくなるほどPT1のインピーダンスが大きくなるので、コンデンサC11への充電時定数が小さくなつて、上記傾きAが大きくなる。このことによりQ4のオンタイミングが変化してQ3のオンタイミングすなわちQ1のオンタイミングが変化する。その結果、Q1のオフ期間が制御されて定電圧が outputされることになる。このとき、C3はC10→R24→PT1→D4→C3の経路で充電され、V(C3)は上昇する。

[0054] そして、t2でQ1がターンオンすることにより、N3→R6→C3の経路でC3が充電され、図に表れているように、t2～t0の期間でV(C3)はt1～t2までと比較して急に上昇する。t0でV(C3)がQ2Vbe(On)に達したときQ2がオンし、Q1がターンオフする。

[0055] 重負荷時には(B)に示すように、t0のタイミングでV(C3)がQ2Vbe(On)に達するとQ2がオンし、それとともにQ1がターンオフする。このときQ1のオフにより帰還巻線N3に逆電圧(フライバック電圧)が発生し、Q2のコレクタ電位も負電位となる。そのためQ2のベースコレクタ間が逆通電して、C3は急速に放電される。

[0056] その後、t0～t1の期間で、帰還巻線N3の発生する逆電圧によって、C3→R6→N3の経路でC3が逆充電される。また、C10→R24→PT1→D4→C3の経路で正方向に充電される経路も存在するので、C3の逆充電時定数はPT1のインピーダンスによって左右される。また、重負荷時はPT1のインピーダンスが比較的高くなるため、PT1のコレクタ電圧が高くなる。従つて、t0～t1の期間ではC11は殆ど放電されず、

すぐに充電され、t1の時点では既にQ4はオンしている。したがってQ3もオンしている。

[0057] このようにt1のタイミングでQ4は既にオンしているため、その後、Q1は帰還巻線N3の共振電圧に基づいてターンオンする。

[0058] その後、N3→R6→C3の経路でC3が正方向に充電される。その後、t0のタイミングでV(C3)の電圧がQ2Vbe(On)に達すると、Q2がオンしてQ1はターンオフする。

[0059] したがって、重負荷時には図2の(B)に示すようにコンデンサC3の電圧V(C3)の図中Bで示す傾きが負荷により変化することによってQ1のオン期間(t1～t0)が変化する。例えば負荷が小さくなるほどPT1のインピーダンスが小さくなるので、第1の経路p1を介してのコンデンサC3への正方向への充電時定数が小さくなり、Bの傾きが緩やかになって、Q1ターンオン時点でのV(C3)がPo2で示すように高くなる。その結果、V(C3)がQ2Vbe(On)に達するのが早く、Q1のオン期間が短くなる。逆に、負荷が大きくなるほどPT1のインピーダンスが大きくなるので、第1の経路p1を介してのコンデンサC3への正方向への充電時定数が大きくなり、Bの傾きが急になって、Q1ターンオン時点でのV(C3)がPo1で示すように低くなる。その結果、V(C3)がQ2Vbe(On)に達するのが遅くなり、Q1のオン期間が長くなる。

[0060] このようにして、負荷の大きさに応じてQ1のオン期間が制御されて、定電圧が出力されることになる。

[0061] なお、出力電圧制御回路3に負帰還回路7を設けたため、フォトカプラPC1のPD1に流れる電流が急激に減少する事なく、フォトトランジスタPT1は常に能動領域で動作する。そのため出力端子Poの電圧変化(出力リップル)に依存してPD1がオン・オフする事なく、スイッチング周波数は、オフ期間制御回路5とオン期間制御回路6の回路中のCRの定数によって決定される。

[0062] 上述のように出力電圧の上昇によって軽負荷時(待機時)と重負荷時(定格時)の動作モードを切り替えるのではないため、待機時の出力電圧と定格時の出力電圧との間に差が生じることがない。また、フィードバック回路が1系統であるため、オン期間制御回路6とオフ期間制御回路5へのフィードバックを2系統設けた場合に、その切替時にゲインが変化することによって出力電圧が変動するといった不具合が生じること

ともない。

[0063] [第2の実施形態]

次に、第2の実施形態に係るスイッチング電源装置について図3・図4を参照して説明する。

図3はそのスイッチング電源装置の回路図である。図1に示した第1の実施形態に係るスイッチング電源装置と異なり、抵抗R16に対して直列にダイオードD3を挿入している。その他の構成は図1に示した場合と同じである。

第1の実施形態では、Q1オフ期間中にC10→R24→PT1→D4→C3の経路でコンデンサC3が正方向に充電されるが、無負荷時にはPT1のインピーダンスが最小となって、C3の電位が速やかに上昇するため、回路定数の設定によってはQ3がターンオンするよりも先にQ2がターンオンしてしまい、その後にQ3がオンしても、Q1のゲートに電圧がかからず、Q1がターンオンできない状況が生じる可能性がある。そうなれば間欠発振状態となってしまう。このような間欠発振状態では発振周期が長くなるため、負荷急変時の追従性が悪化する。

[0064] この第2の実施形態では、後述するように抵抗R16に対して直列にダイオードD3を挿入したことにより、Q1のオフ期間中のコンデンサC3の電圧を一定値にクランプでき、且つ、この値をQ2がターンオンできないように低く設定することによって、Q1オフ期間中にQ2がターンオンすることがなく、間欠発振が防止できる。

[0065] 図3に示したスイッチング電源装置の動作(特に図1に示したスイッチング電源装置と異なる動作)は次のとおりである。

[2.1]《軽負荷時》

軽負荷時にはQ1のオン期間が一定であり、Q1のオフ期間を制御することによって出力電圧を定電圧化する。

[0066] [2.1.1][Q1オフ期間]

〈主回路の動作〉

第1の実施形態の場合と同様である。すなわち、軽負荷時にはQ3のターンオンがQ1のオフ期間の終了条件となり、Q3のターンオンによりQ1オン期間へ移行する。

[0067] 〈制御回路の動作〉

PT1を流れる電流は、R16, D3を流れる経路p2と、D4を介してC3を充電する経路p1とに分けられる。このD4を介する経路p1によってコンデンサC3は充電されるが、その電圧V(C3)は、D3, D4, R16により一定電圧にクランプされる。ここで、ダイオードD3の順方向降下電圧をVF(D3)、抵抗R16の降下電圧をVR16、ダイオードD4の順方向降下電圧をVF(D4)とすれば、

PT1のエミッタ端子電圧はVF(D3) + VR16 にクランプされるので、C3のクランプ電圧V(C3)CLは、

$$V(C3)CL = VF(D3) + VR16 - VF(D4)$$

で表せる。

[0068] [2.1.2][Q1オン期間]

〈主回路の動作〉

第1の実施形態の場合と同様にVcc→N1→Q1→Ginの経路で電流が流れ、トランジストにエネルギーが蓄積される。Q2がターンオンすればQ1はターンオフしてQ1オフ期間へ移行する。

[0069] 〈制御回路の動作〉

軽負荷時にはオン期間が一定となる。

[0070] すなわち、Q1がターンオンした時点でのQ2のベース電圧(C3の電圧V(C3))は、上記クランプ電圧

$V(C3) = VF(D3) + VR16 - VF(D4)$ に定まり、その後、帰還巻線N3に発生した電圧によりC3が充電される。この時の時定数は、PT1等のインピーダンスとは無関係にR6, R7, C3の回路により定まる。このようにコンデンサC3の充電電荷の初期値とR6, R7, C3による時定数回路の時定数が一定であることから、オン期間は一定となる。そして、C3の電圧がQ2のオン電圧Vbe(On)に達すると、Q2はターンオンし、Q1オフ期間へ移行する。

[0071] [2.2]《重負荷時》

重負荷時は第1の実施形態の場合と同様の動作を行う。

図4は軽負荷時と重負荷時について図1各部の電圧波形を示している。(A)は軽負荷時、(B)は重負荷時の場合である。軽負荷時には(A)のようにコンデンサC3の

電圧V(C3)がQ1オフ期間に、D3, D4, R16により一定電圧にクランプされるので、点A1で示すように、コンデンサC3の充電電荷の初期値が一定である。また、R6, R7, C3による時定数回路の時定数が一定であるので、Q1オン期間は一定となる。

[0072] このようにコンデンサC3の電圧を一定値にクランプしたことにより、たとえ無負荷となつてもQ1オフ期間中にV(C3)がQ2Vbe(On)に達することがなく、Q2がターンオンしないので、Q1の最小オン時間が定められ、間欠発振が防止できる。

[0073] [第3の実施形態]

次に、第3の実施形態に係るスイッチング電源装置について図5を参照して説明する。

図5はスイッチング電源装置の回路図である。このスイッチング電源装置は図3に示した回路に対してスイッチ素子Q5, 抵抗R17, R18, R19, R20, D5を追加したものである。この新たに追加した回路は次のように動作する。

[0074] (a) D5, R17～R20はQ4のオン・オフを検出してQ5のオン・オフを制御する。すなわちQ4のオンによりR20→R19→D5→Q4の経路で電流が流れ、R20とR19の接続点の電位が低下しQ5のベース電位が低下することによってQ5がオフする。逆に、Q4のオフによりQ5のベース電位が上昇することによってQ5がオンする。

[0075] (b) D3, D4, R16, Q5はQ1オフ時(Q4オフ時)に、Q5のオンによりPT1の電流をD3, R16を介してGinにバイパスする。一方、Q1オン時(Q4オン時)に、Q5のオフにより、PT1の電流はD4を介してC3を充電する。

[0076] その他の回路による動作は第1・第2の実施形態の場合と同様である。

このように、Q1オン期間におけるC3の充電量を、R16の経路によらずに独立に変更できるため、設定の自由度を高めることができる。

[0077] 例えば、第1・第2の実施形態で示した図1・図3の回路においてR16を低抵抗とすると、PT1を流れる電流の大部分がD3, R16の経路を流れるため、Q1オン期間のC3電圧の上昇速度が緩やかになる。この場合、軽負荷時や無負荷時においてオン期間が長すぎるために間欠発振となる場合が生じる。最悪ケースでは、出力電圧の上昇が発生する。第2の実施形態では第1の実施形態に比べてこの問題は改善されているが、仕様によっては発生する。これらに対して、この第3の実施形態ではQ1オン

期間にQ5によりD3, R16の経路が遮断されるため、上述の問題は生じない。

[0078] [第4の実施形態]

次に、第4の実施形態に係るスイッチング電源装置について図6を参照して説明する。

図6はスイッチング電源装置の回路図である。第2の実施形態として図3に示したスイッチング電源装置と異なるのは、図3に示したQ3, C6, R9による回路部分に代えて、抵抗R25, R26, R27, スイッチ素子Q8, Q9, ツェナーダイオードD8からなる電圧レギュレータ回路を設けた点である。

[0079] ここで、スイッチ素子Q8とツェナーダイオードD8は電圧レギュレータ回路を構成していて、Q9, R25, R26は電圧信号を反転させるインバート回路を構成している。

[0080] このスイッチング電源装置の場合、第2の実施形態として図3に示したスイッチング電源装置に比べてさらに次のような作用効果を奏する。

[0081] ツェナーダイオードD8は、スイッチ素子Q8とともに定電圧レギュレータ(リミット回路)を構成していて、Q1のゲート電圧(制御電圧)が所定範囲を超えないように制限する。すなわち、Q1のゲート電圧は最大でも、

$$V_{gs}(Q1) = V_z(D8) - V_{be}(Q8)$$

に制限される。

[0082] ここで、 $V_{gs}(Q1)$ はQ1のゲート-ソース間電圧、 $V_z(D8)$ はツェナーダイオードD8のツェナー電圧、 $V_{be}(Q8)$ はスイッチ素子Q8のベース-エミッタ間順方向電圧である。

[0083] そのため、ワールドワイド入力のような広い入力電圧範囲にわたって、第1のスイッチ素子Q1の制御電圧が所定電圧を超えるのを防止でき、Q1を破壊から防止できる。

[0084] [第5の実施形態]

次に、第5の実施形態に係る電子装置について図7を参照して説明する。図7はプリンタの構成を示すブロック図である。ここで、整流回路10は商用交流電源ACの電源電圧を入力し、整流してスイッチング電源装置1へ出力する。このスイッチング電源装置1は第1～第4のいずれかの実施形態で示したスイッチング電源装置である。ブ

リント制御回路11はスイッチング電源装置1から出力される直流電源電圧を電源として動作する。プリンタ制御回路11は通信部12により通信路を介してホスト装置との間でデータの通信を行い、操作部13の操作を読み取り、駆動部14を駆動する。

[0085] 駆動部14は、印刷時には電力を消費するが、印刷動作をしない待機時には殆ど電力を消費しない。そして、本発明のスイッチング電源装置1を用いているために、待機時の電力損失を低減し、効率の向上を図ることができる。

[0086] この発明の電子装置はプリンタに限られるものではなく、ノートパソコンや携帯情報機器など、電圧の安定な直流電源の必要なあらゆる電子装置に適用可能である。

請求の範囲

[1] 1次巻線N1、2次巻線N2および帰還巻線N3を備えたトランスTと、1次巻線N1に直列に接続された第1のスイッチ素子Q1と、該第1のスイッチ素子Q1の制御端子と前記帰還巻線N3との間に設けられた制御回路4と、前記2次巻線N2に接続された整流回路2と、該整流回路2から出力される出力電圧を検出して前記制御回路4へ1系統でフィードバックする出力電圧制御回路3とを備えたスイッチング電源装置において、

前記制御回路4は、非軽負荷時に前記出力電圧制御回路3からの1系統のフィードバック信号に基づいてオン状態の前記第1のスイッチ素子Q1をターンオフさせるオン期間制御回路6と、軽負荷時に前記フィードバック信号に基づいて前記第1のスイッチ素子Q1のターンオンを遅延させて前記第1のスイッチ素子Q1のオフ期間を制御するオフ期間制御回路5とを備えたことを特徴とするスイッチング電源装置。

[2] 前記オフ期間制御回路5と前記オン期間制御回路6とを接続するように設けられ、前記フィードバック信号に基づいてインピーダンスが変化するインピーダンス回路8を備え、該インピーダンス回路のインピーダンス変化によって軽負荷時の前記オフ期間制御回路5の制御と、非軽負荷時の前記オン期間制御回路6の制御を連続的に行うようにした請求項1に記載のスイッチング電源装置。

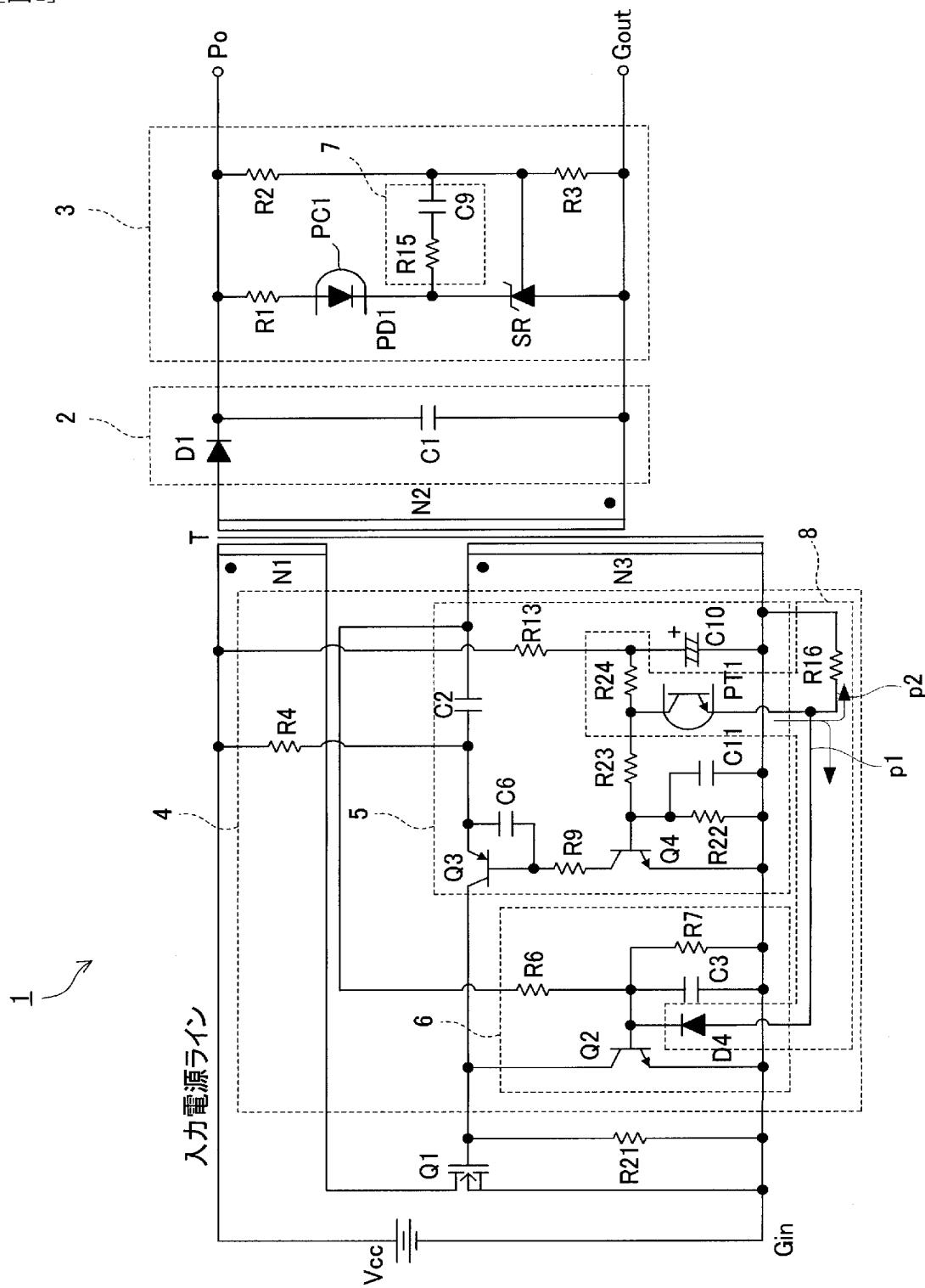
[3] 前記オフ期間制御回路5は、前記第1のスイッチ素子Q1の制御端子と前記帰還巻線N3との間に挿入された第3のスイッチ素子Q3と、該第3のスイッチ素子Q3の制御端子と接地との間に挿入された第4のスイッチ素子Q4とを備え、前記オン期間制御回路6は、第1のスイッチ素子Q1の制御端子と接地との間に挿入された第2のスイッチ素子Q2と、該第2のスイッチ素子Q2へ制御電圧を与えるコンデンサC3を含む時定数回路とを備え、

前記インピーダンス回路8は、前記フィードバック信号による電流を前記コンデンサC3へ供給する第1の経路p1と、接地へバイパスする第2の経路p2とを備えた請求項1または2に記載のスイッチング電源装置。

[4] 前記オン期間制御回路6の制御による前記オン期間に最小オン期間を設定した請求項1～3のいずれかに記載のスイッチング電源装置。

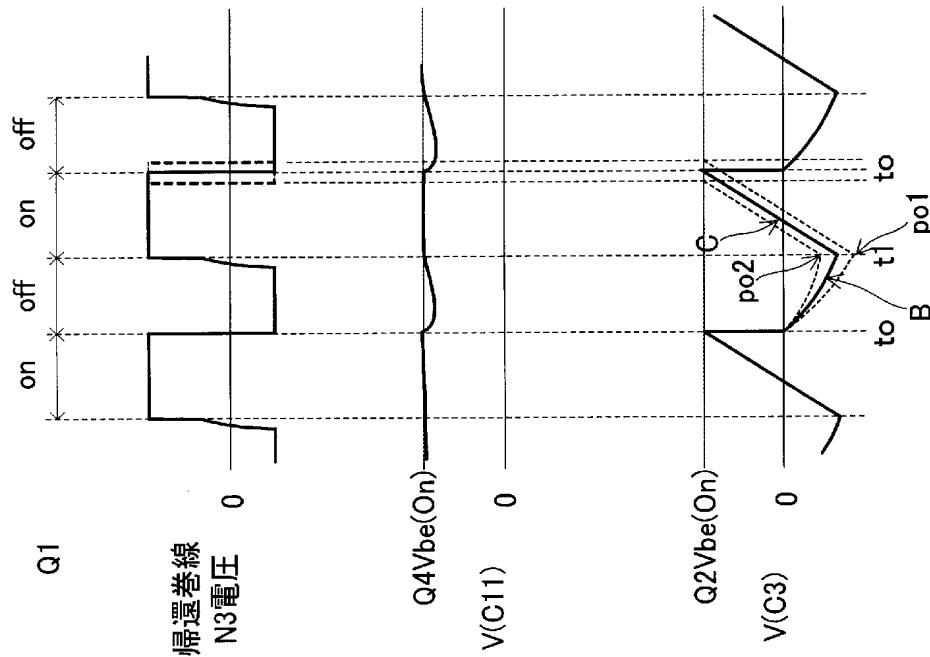
- [5] 前記第1のスイッチ素子Q1がオフ状態であるときに、前記第2のスイッチ素子Q2の制御電圧を定める前記オン期間制御回路6内の前記コンデンサC3の電圧を一定値に制限するクランプ回路を前記インピーダンス回路8に設けた請求項4に記載のスイッチング電源装置。
- [6] 前記第2の経路は前記第1のスイッチ素子Q1がオフ状態である場合にのみ、前記フィードバック信号による電流をバイパスする回路である請求項3に記載のスイッチ電源装置。
- [7] 前記オフ期間制御回路5は、前記第1のスイッチ素子Q1の制御端子に印加される電圧の上限を定めるリミット回路9を備えた請求項1～6のいずれかに記載のスイッチング電源装置。
- [8] 請求項1～7のいずれかに記載のスイッチング電源装置を電源回路部に設けた電子装置。

[図1]

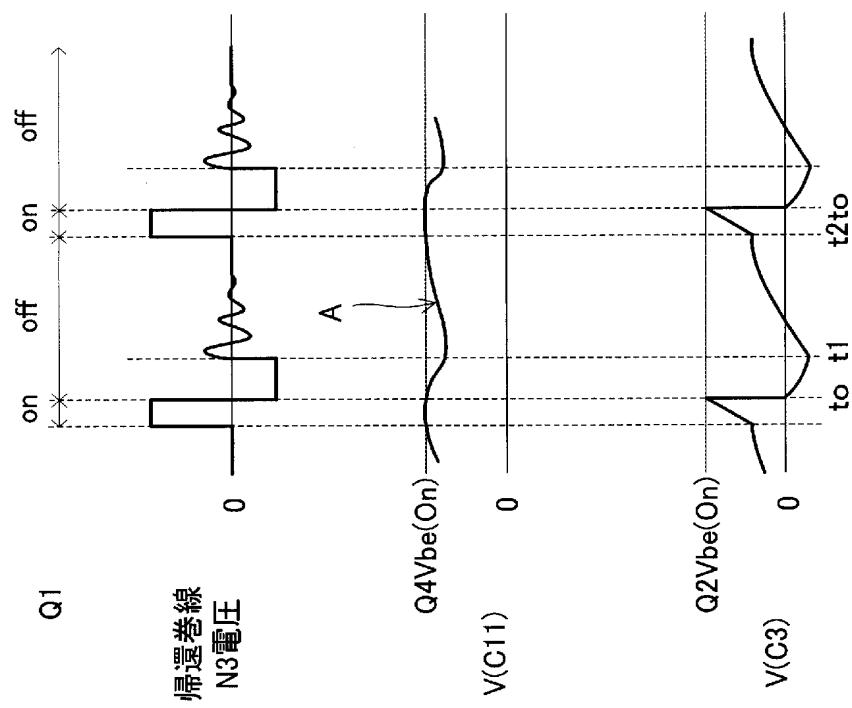


[図2]

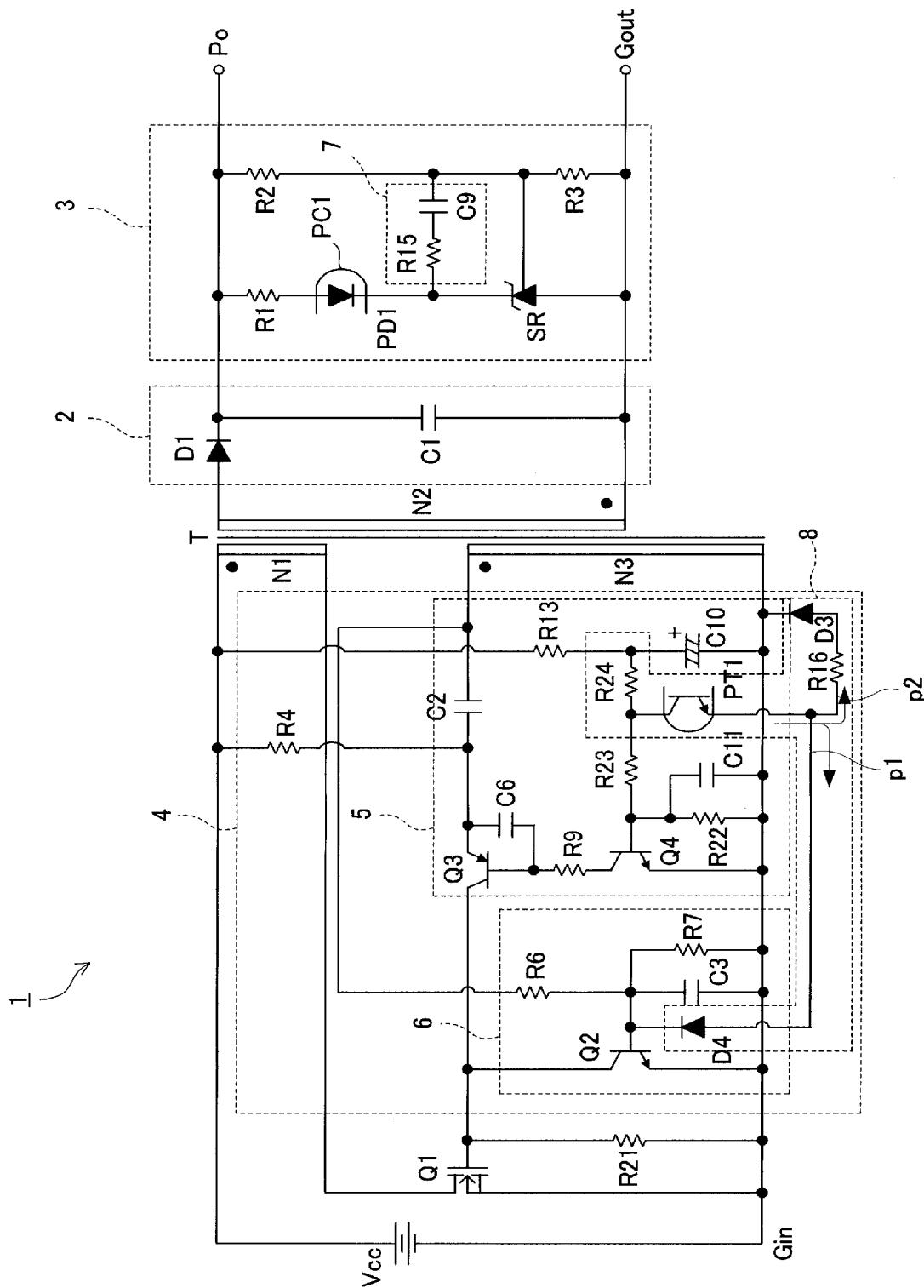
(B)



(A)

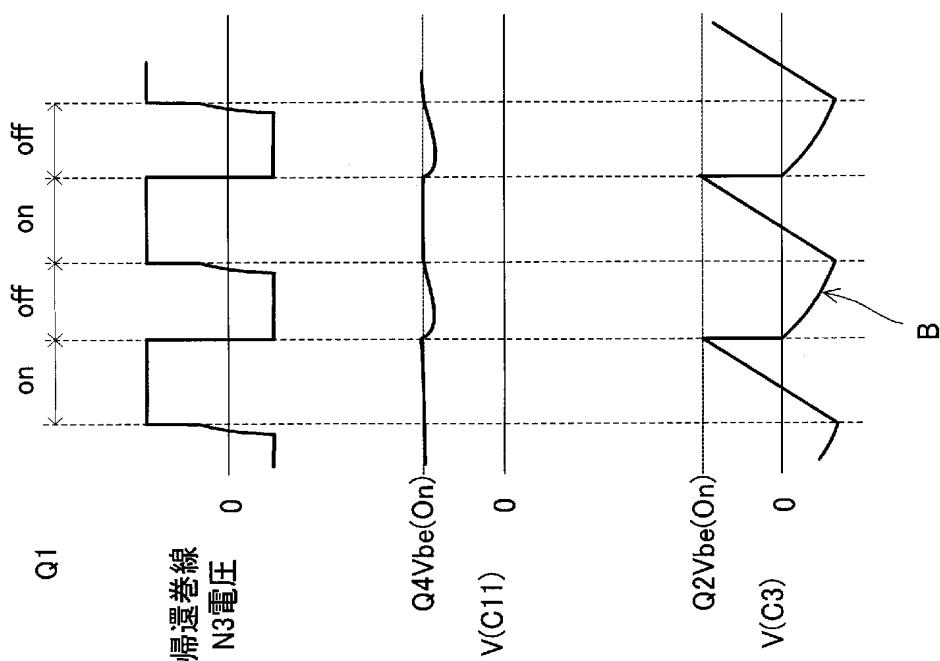


[図3]

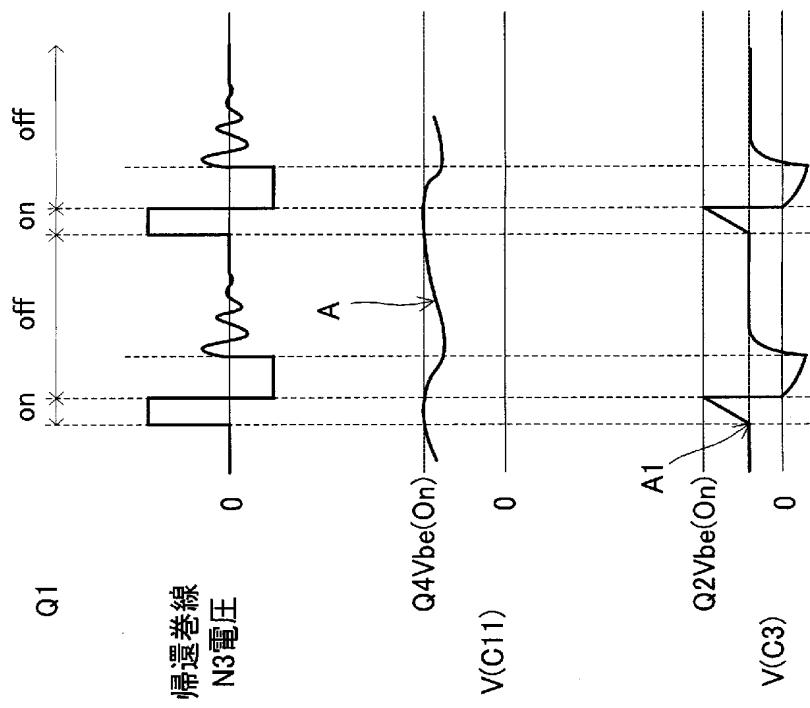


[図4]

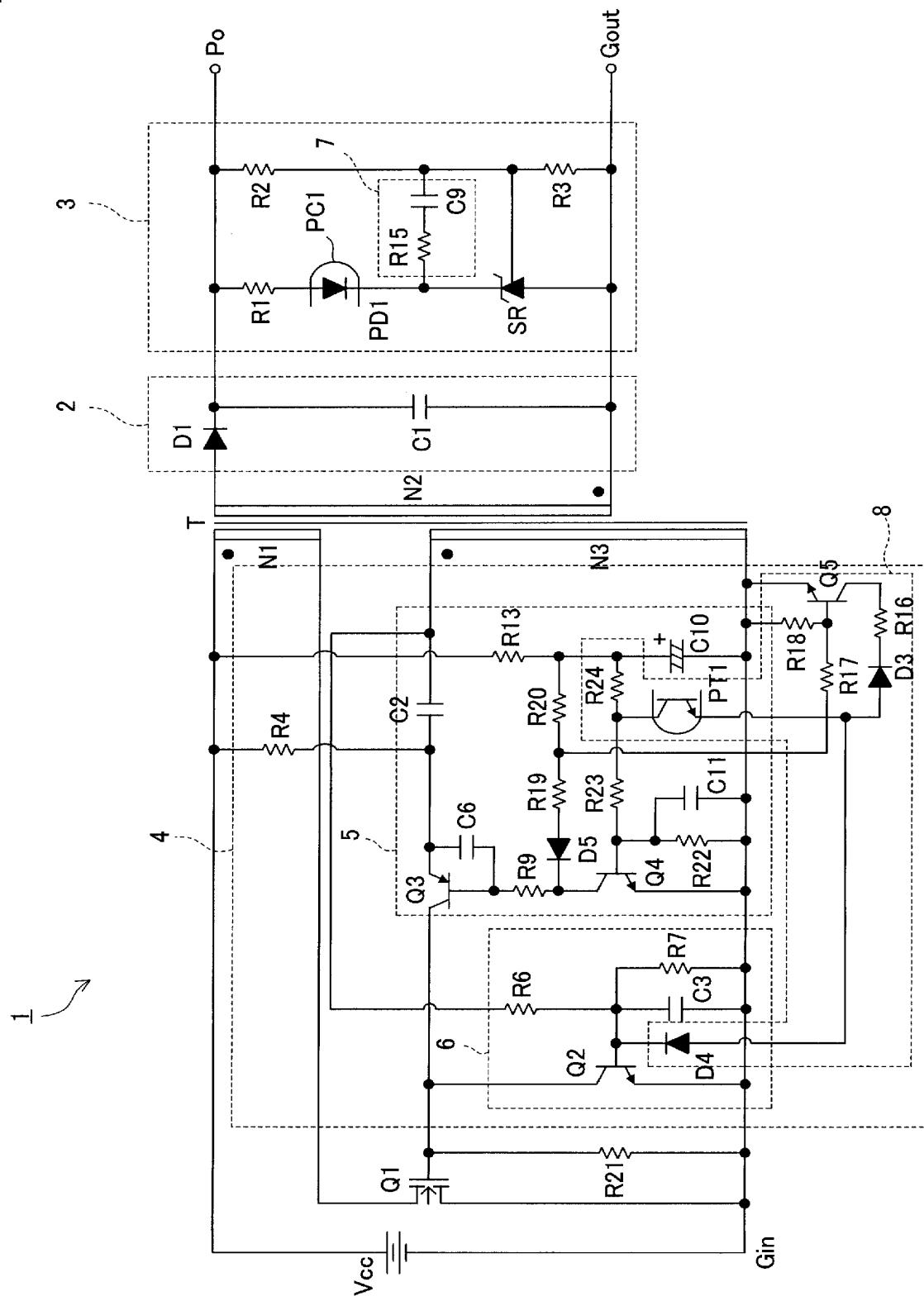
(B)



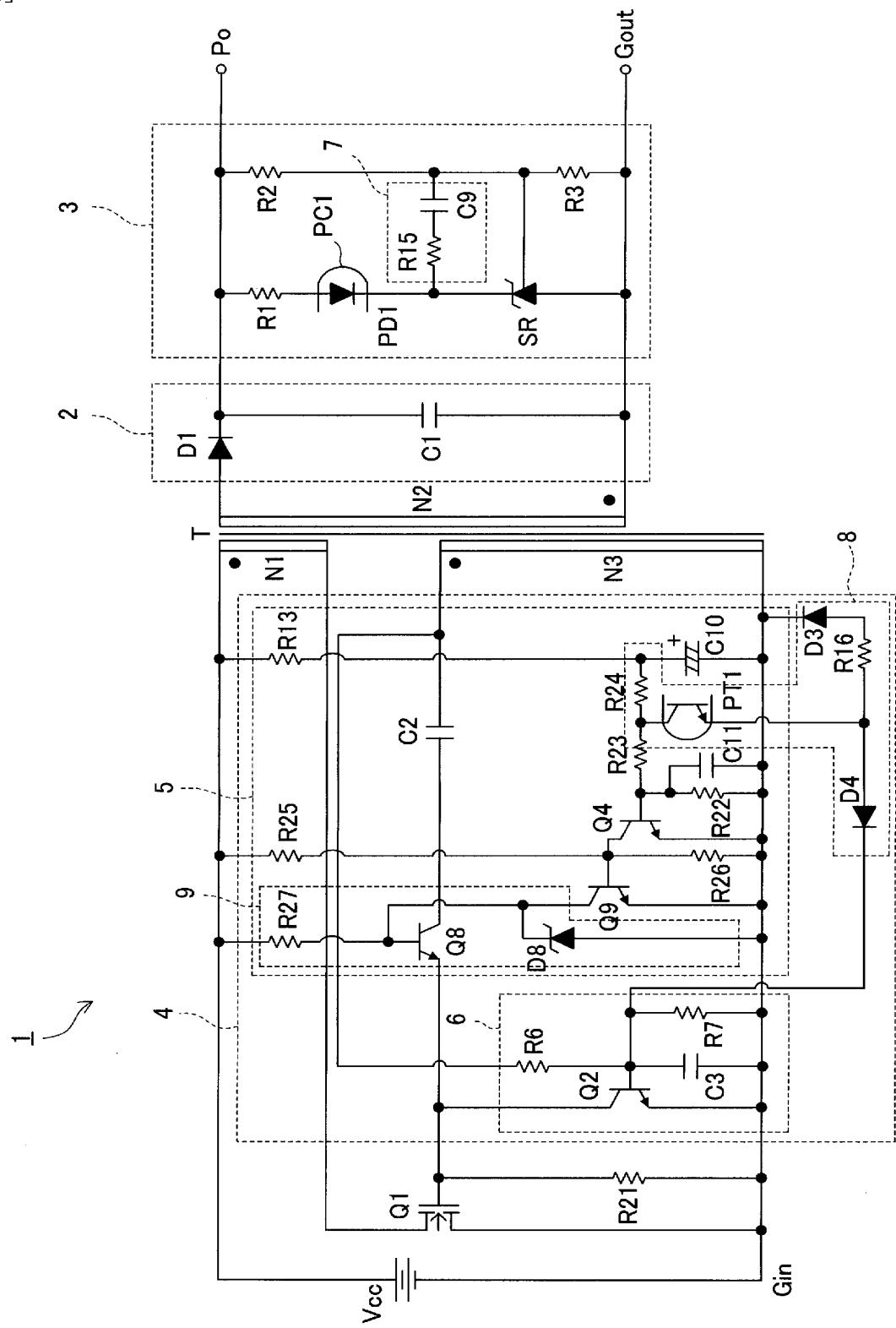
(A)



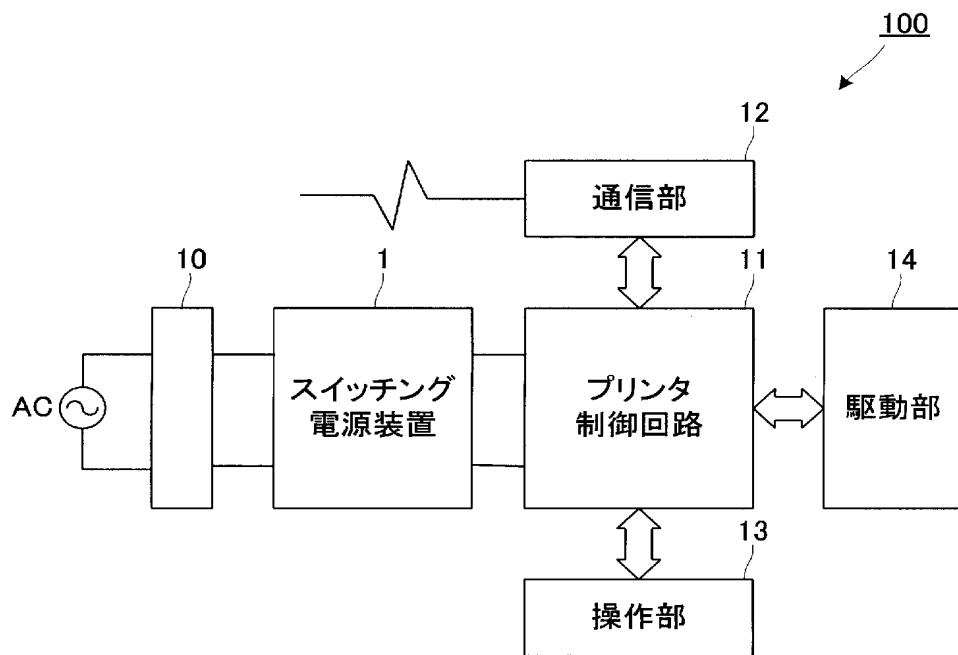
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007496

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-359974 A (Murata Mfg. Co., Ltd.), 13 December, 2002 (13.12.02), Par. Nos. [0070] to [0093]; Figs. 9, 11 & US 2002/0136031 A1 & GB 2377096 A & CN 1378331 A	1, 8
Y	JP 2002-369517 A (Murata Mfg. Co., Ltd.), 20 December, 2002 (20.12.02), Par. Nos. [0018] to [0043]; Fig. 1 & US 2002/0186572 A1 & GB 2377770 A & CN 1391336 A	2-7
Y	JP 2004-80941 A (Murata Mfg. Co., Ltd.), 11 March, 2004 (11.03.04), Full text & US 2004/0037093 A1 & GB 2393801 A	4, 5, 7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 July, 2005 (25.07.05)

Date of mailing of the international search report
09 August, 2005 (09.08.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007496

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-313483 A (Murata Mfg. Co., Ltd.) , 09 November, 1999 (09.11.99) , Full text & US 6208530 B1	1-8

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl.⁷

H02M3/28

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl.⁷

H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-359974 A (株式会社村田製作所)	1, 8
Y	13. 12. 2002, 【0070】-【0093】、図9, 11 & US 2002/0136031 A1 & GB 2377096 A & CN 1378331 A	2-7
Y	JP 2002-369517 A (株式会社村田製作所) 20. 12. 2002, 【0018】-【0043】、図1 & US 2002/0186572 A1 & GB 2377770 A & CN 1391336 A	2-7

 C欄の続きにも文献が列挙されている。

「パテントファミリーに関する別紙を参照。」

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

25. 07. 2005

国際調査報告の発送日

09. 8. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

桜田 正紀

3V 2917

電話番号 03-3581-1101 内線 3356

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2004-80941 A (株式会社村田製作所) 11. 03. 2004, 全文 & US 2004/0037093 A1 & GB 2393801 A	4, 5, 7
A	JP 11-313483 A (株式会社村田製作所) 09. 11. 1999, 全文 & US 6208530 B1	1-8